

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
DE SANTIS ET AL.)
)
Serial No. 10/728,372)
)
Confirmation No. 6381)
)
Filing Date: DECEMBER 4, 2003)
)
For: NON-VOLATILE MEMORY CELL)
SENSING CIRCUIT, PARTICULARLY)
FOR LOW POWER SUPPLY VOLTAGES)
AND HIGH CAPACITIVE LOAD VALUES)
)


TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS MISSING PARTS
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority European Application No. 02425747.9.

Respectfully submitted,



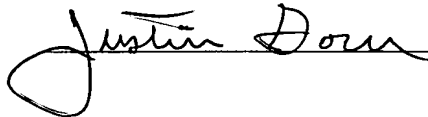
MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant



In re Patent Application of:
DE SANTIS ET AL.
Serial No. 10/728,372
Filing Date: **DECEMBER 4, 2003**

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: MAIL STOP MISSING PARTS, COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 16th day of April, 2004.

_____



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

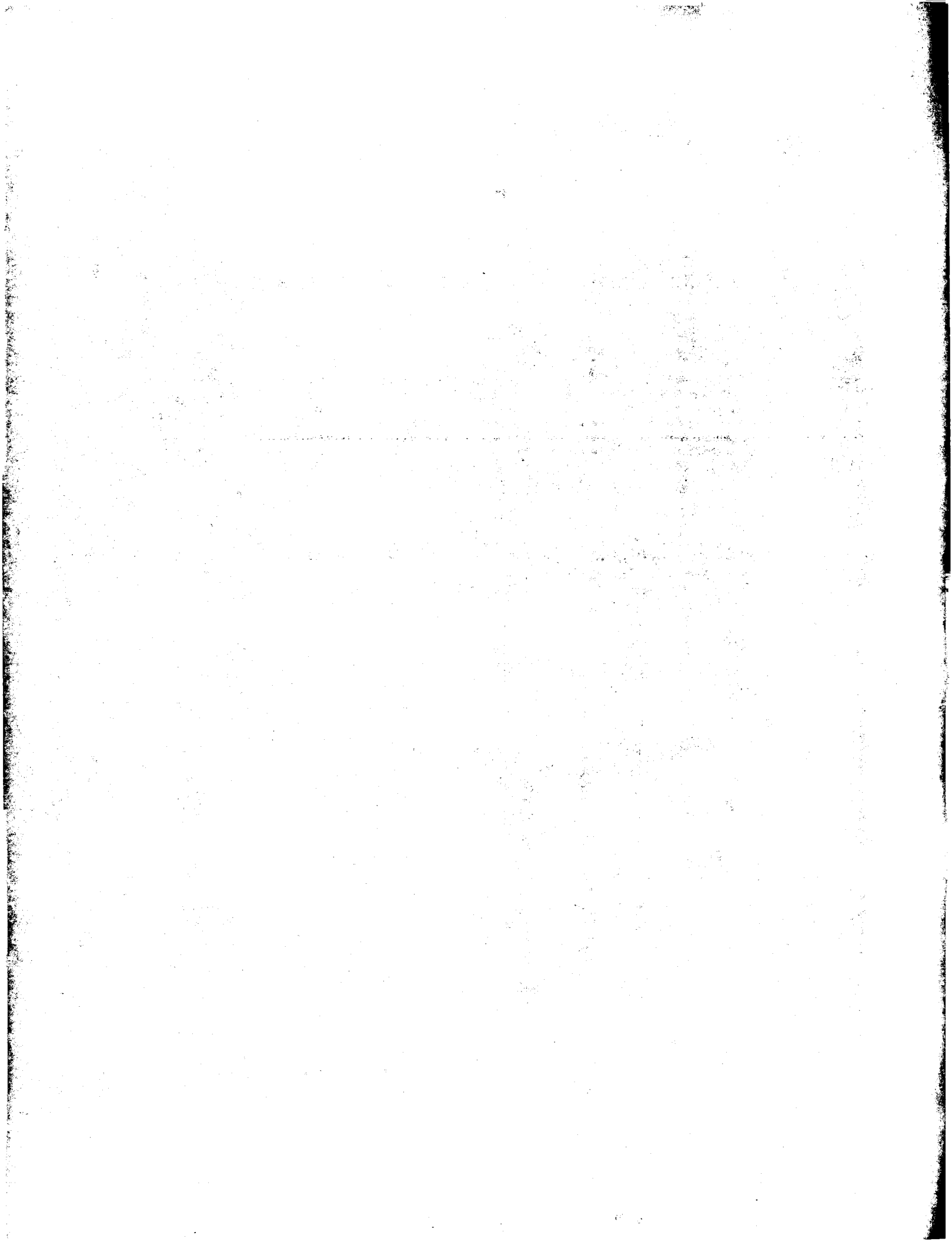
02425747.9

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk





Anmeldung Nr:
Application no.: 02425747.9
Demande no:

Anmeldetag:
Date of filing: 04.12.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Non volatile memory cell sensing circuit, particularly for low power supply
voltages and high capacitive load values

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G11C/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL
PT SE SI SK TR

Titolo: "Circuito di sensing per una cella di memoria non volatile, in particolare per applicazioni con basse tensioni di alimentazione ed elevati carichi capacitivi."

DESCRIZIONE

5 Campo di applicazione

La presente invenzione fa riferimento ad un circuito di sensing per una cella di memoria non volatile, in particolare per applicazioni con basse tensioni di alimentazione ed elevati carichi capacitivi.

10 Più specificatamente l'invenzione si riferisce ad un circuito di sensing per una cella di memoria inserito tra un primo ed un secondo riferimento di tensione e collegato, in corrispondenza di un primo nodo circuitale interno, a detta cella di memoria del tipo comprendente:

- un primo generatore di una corrente di polarizzazione inserito tra detto primo riferimento di tensione e detto primo nodo circuitale
15 interno; e

- un comparatore avente un primo terminale di ingresso collegato ad un nodo circuitale di comparazione, a sua volta collegato a detto primo riferimento di tensione tramite almeno un secondo generatore di una corrente di riferimento, nonché un secondo terminale di ingresso
20 collegato ad un nodo circuitale di matching a sua volta collegato a detto primo nodo circuitale interno, un terminale di uscita di detto comparatore corrispondendo ad un terminale di uscita di detto circuito di sensing.

25 L'invenzione riguarda in particolare, ma non esclusivamente, un circuito di sensing per celle di memoria di dispositivi di memoria non volatile di tipo FLASH e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

Come è ben noto, lo sviluppo di nuovi processi avanzati di realizzazione di dispositivi a celle di memoria non volatile nell'ambito della tecnologia CMOS richiede l'utilizzo di tensioni di alimentazione sempre più basse,
5 in alcuni casi prossime a 1V.

In particolare, valori di tensione di alimentazione così bassi risultano indispensabili per poter utilizzare ossidi sempre più sottili e allo stesso tempo per limitare il più possibile i consumi in potenza (nell'ambito del cosiddetto "design low power").

10 A queste esigenze si contrappongono però necessità rimaste sostanzialmente invariate con l'evolversi della tecnologia.

Da una parte, la necessità di polarizzare le celle di memoria con tensioni di drain pressoché costanti al variare della tecnologia (e dell'ordine di 1V) per mantenere elevata la corrente che attraversa le
15 celle in fase di lettura.

Dall'altra, la richiesta di bassi tempi di accesso anche in presenza di elevati carichi capacitivi dovuti ai grandi tagli di memoria richiesti.

Questi due fattori rendono difficile realizzare un circuito di sensing in grado di effettuare una corretta polarizzazione e conversione I/V per
20 una cella di memoria in un range di tensione limitato (V_x).

Un circuito di sensing di tipo noto, con polarizzazione di una cella di memoria classica, è mostrato schematicamente in Figura 1 e complessivamente indicato con 1. In particolare, il circuito 1 di sensing è collegato ad una cella di memoria non volatile, schematizzata
25 mediante un generatore equivalente 2 di corrente I_c , a sua volta collegato ad un primo riferimento di tensione, in particolare la massa GND.

Il circuito 1 di sensing è inoltre collegato ad un secondo riferimento di tensione, in particolare l'alimentazione V_{dd} , tramite un carico 3.

E' opportuno notare che per il circuito 1 di sensing vale la relazione:

$$V_x = V_{dd} - V_{BL} \quad (1)$$

5 dove con V_{dd} si è indicato il valore di alimentazione del circuito e con V_{BL} la tensione di polarizzazione del terminale di drain della cella di memoria, corrispondente ad un valore di tensione presente nel punto di contatto tra la cella 2 ed il circuito 1 di sensing.

10 Nei dispositivi di memoria di tipo noto, in particolare nelle memorie di tipo Flash, il valore della tensione V_x data dalla sopra riportata relazione (1) può risultare, a titolo di esempio, anche di soli 200mv, il circuito 1 di sensing risultando di conseguenza problematico da realizzare per una corretta polarizzazione del carico 3.

15 Inoltre, per poter supplire alla ridotta drive-capability dovuta alla bassa tensione di alimentazione, risulta spesso necessario utilizzare transistori particolari, quali i transistori naturali, che presentano però un maggiore costo legato al numero di maschere di processo utilizzate per la loro realizzazione.

20 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un circuito di sensing per celle di memoria non volatile, ma non solo, in grado di lavorare a basse tensioni di alimentazione e per carichi capacitivi elevati, avente caratteristiche strutturali e funzionali tali da superare le limitazioni e gli inconvenienti che tuttora affliggono i circuiti realizzati secondo l'arte nota.

Sommario dell'invenzione

25 L'idea di soluzione che sta alla base della presente invenzione è quella di realizzare un circuito di sensing comprendente un circuito di polarizzazione in configurazione cascode ed un convertitore I/V ad alta efficienza, in grado di lavorare per tensioni di alimentazione molto prossime, ma non esclusivamente, ai valori tipici delle tensioni di polarizzazione delle celle realizzate mediante processi avanzati.

30 Sulla base di tale idea di soluzione il problema tecnico è risolto da un

circuito di sensing del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

Le caratteristiche ed i vantaggi del circuito di sensing secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un
5 suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

In tali disegni:

la Figura 1 mostra schematicamente un circuito di sensing realizzato
10 secondo l'arte nota;

la Figura 2 mostra schematicamente un circuito di sensing realizzato secondo l'invenzione;

la Figure 3A e 3B mostrano schematicamente l'andamento nel tempo di valori di tensione presenti in nodi interni al circuito di sensing di Figura
15 2;

la Figura 4 mostra schematicamente una variante di realizzazione del circuito di sensing secondo l'invenzione applicato a generiche memorie multilivello.

Descrizione dettagliata

20 Con riferimento a tali figure, ed in particolare alla Figura 2, con 10 è complessivamente e schematicamente illustrato un circuito di sensing realizzato secondo la presente invenzione.

Il circuito 10 di sensing è inserito tra un primo riferimento di tensione, in particolare una tensione di alimentazione Vdd, ed un secondo
25 riferimento di tensione, in particolare una massa GND, ed è collegato, in corrispondenza di un nodo circuitale interno o bitline XBL, ad una cella 11 di memoria, rappresentata schematicamente mediante un generatore di una corrente Icell.

In particolare, il circuito 10 di sensing secondo l'invenzione comprende un generatore 12 di una corrente di polarizzazione I_p inserito tra il riferimento di tensione di alimentazione V_{dd} e la bitline XBL, a sua volta collegata ad un nodo Xmat di matching tramite un circuito 13 di polarizzazione in configurazione cascode.

Vantaggiosamente secondo l'invenzione, il circuito 13 di polarizzazione in configurazione cascode riceve in ingresso una tensione di riferimento V_{ref} . In particolare, il circuito 13 di polarizzazione in configurazione cascode comprende un transistor M1, di tipo MOS a canale P, inserito tra la bitline XBL ed il nodo Xmat di matching ed avente un terminale di gate connesso ad un terminale di uscita di un amplificatore operazionale 14. L'amplificatore operazionale 14 presenta un primo terminale di ingresso ricevente la tensione di riferimento V_{rif} ed un secondo terminale di ingresso connesso alla bitline XBL.

Un generatore 15 di una corrente di riferimento I_{ref} è inoltre inserito tra il riferimento di tensione di alimentazione V_{dd} ed un nodo Xrif di comparazione.

Vantaggiosamente secondo l'invenzione, i nodi Xmat di matching e Xrif di comparazione sono collegati alla massa GND tramite uno stadio 16 di conversione corrente/tensione (I/V). In particolare, lo stadio 16 di conversione I/V comprende un primo transistor M2 di tipo MOS a canale N, configurato a diodo ed inserito tra il nodo Xmat di matching e la massa GND, nonché un secondo transistor M3 di tipo MOS a canale N, inserito tra il nodo Xrif di comparazione e la massa GND ed avente il terminale di gate connesso al terminale di gate del primo transistor M2.

Il circuito 10 di sensing comprende inoltre un circuito di rilevamento, in particolare un comparatore 17, avente i terminali di ingresso vantaggiosamente collegati ai nodi Xmat di matching e Xrif di comparazione. Un terminale OUT di uscita del comparatore 17 corrisponde ad un terminale di uscita del circuito 10 di sensing.

Sulla base della schematizzazione illustrata in Figura 2 vediamo ora il

funzionamento del circuito 10 di sensing secondo l'invenzione.

Il generatore 12 fornisce la corrente I_p per polarizzare la cella di memoria 11 collegata alla bitline XBL durante le fasi di lettura, ma anche per polarizzare lo stadio 16 di conversione attraverso il transistor M1.

La differenza fra la corrente I_p di polarizzazione del generatore 12 e la corrente I_{cell} della cella 11 rispetto al valore della corrente di riferimento I_{ref} del generatore 15 provoca, grazie al guadagno dello stadio 16 di conversione, una variazione dinamica di un valore V_{rif} di tensione presente sul nodo X_{rif} di comparazione.

In particolare, vantaggiosamente, secondo l'invenzione, il valore V_{rif} di tensione viene confrontato per mezzo del comparatore 17 con un valore V_{mat} di tensione presente sul nodo X_{mat} di matching, a sua volta dipendente dal valore di tensione relativo alla cella 11 di memoria in lettura collegata alla bitline XBL.

Allo stesso tempo il circuito 13 di polarizzazione in configurazione cascode realizza una polarizzazione fissa della bitline XBL anche al variare della impedenza della cella 11 di memoria, variazione dovuta allo stato incognito della cella 11 in lettura (cella vergine o programmata). In tal modo, vantaggiosamente, secondo l'invenzione, lo stadio 16 di conversione I/V non crea disturbo alla cella stessa.

La Figura 3A riporta l'andamento della caratteristica d'uscita del circuito 10 di sensing secondo l'invenzione, vale a dire l'andamento della tensione V_{rif} presente sul nodo X_{rif} di comparazione rispetto alla corrente I_{cell} che percorre la cella 11 utilizzando una tensione di alimentazione pari a 1.1V e tensioni di polarizzazione della bitline XBL pari a 800mV, come ricavate da simulazioni effettuate dalla Richiedente stessa.

Analogamente, la Figura 3B mostra l'andamento in funzione del tempo dei valori di tensione V_{mat} e V_{rif} presenti sui nodi X_{mat} di matching e X_{rif} di comparazione, rispettivamente, al variare della corrente I_{rif} di

riferimento fornita dal generatore 15 e della caratteristica dinamica del comparatore 17 per cella programmata o vergine (uscita indicata in Figura 3B con DATA1[0]).

5 Sulla base dei risultati di queste simulazioni (come riportato in Figura 3A), è immediato osservare che il guadagno del circuito di sensing costituito dall'insieme del generatore 12, del circuito 13 di polarizzazione in configurazione cascode, del generatore 15 e dello stadio 16 di conversione I/V (con esclusione del comparatore 17) risulta elevato, in particolare quando le tensioni da confrontare sono prossime
10 tra loro.

Inoltre, la tensione VBL di polarizzazione della bitline XBL non viene "persa" nella dinamica di polarizzazione del circuito 10 di sensing, come avviene invece nei circuiti realizzati secondo l'arte nota. Infatti, vantaggiosamente, secondo l'invenzione, la tensione VBL di
15 polarizzazione della bitline XBL viene sfruttata come dinamica per lo stadio 16 di conversione e per il circuito 13 di polarizzazione in configurazione cascode.

In particolare, l'utilizzo del circuito 13 di polarizzazione in configurazione cascode interposto tra la parte di polarizzazione della bitline XBL (generatore 12) e la parte di conversione (stadio 16) rende il
20 circuito 10 di sensing secondo l'invenzione immune dal fenomeno cosiddetto di drain disturb e rende anche più affidabile le operazioni di lettura effettuate sulla cella 11.

E' altresì possibile estendere il principio di funzionamento del circuito
25 10 di sensing secondo l'invenzione ad una applicazione multilivello, come schematicamente illustrato in Figura 4.

In particolare, la Figura 4 mostra un circuito 100 di sensing utilizzato in una applicazione a due bit per cella per semplicità di esposizione, il principio secondo l'invenzione potendo essere esteso ulteriormente a n
30 bit per cella.

Il circuito 100 di sensing comprende una pluralità di rami con una

pluralità di correnti Irif1, Irif2, Irif3 di riferimento collegato ad una pluralità di ingressi Xrif1, Xrif2, Xrif3 di un comparatore d'uscita (non mostrato) avente un ulteriore terminale di ingresso collegato al nodo Xmat di matching ed una pluralità di terminali di uscita Saout0, Saout1, Saout2.

In conclusione, il circuito di sensing secondo l'invenzione consente supera le difficoltà dei circuito noti, non richiedendo in linea di principio componenti particolari e sfruttando appieno la tensione Vdd di alimentazione fornita. Infatti, il circuito di sensing secondo l'invenzione non pone limiti all'utilizzo della sua circuiteria grazie al livello fissato di polarizzazione per la bitline XBL.

Allo stesso tempo, il circuito di sensing secondo l'invenzione permette di effettuare una corretta polarizzazione della cella di memoria, ed un fissaggio della tensione di lettura, che è, come ben noto, un aspetto critico per evitare fenomeni di drain disturb in lettura.

Infine, vantaggiosamente, con il circuito di sensing secondo l'invenzione il livello di tensione necessario per la polarizzazione delle bitline del dispositivo di memoria non influisce direttamente sulla definizione della tensione residua utilizzabile per la conversione I/V e per la definizione stabile del livello delle bitline stesse ma viene sfruttato in parallelo.

Infatti la scelta di prelevare la corrente delle celle non in maniera seriale, come nei circuiti realizzati nell'arte nota, definendo così un valore fisso non utilizzabile per il circuito di sensing, ma in maniera parallela porta al vantaggio di poter sfruttare tutto il livello di polarizzazione delle bitline, oramai prossimo al valore di alimentazione, per realizzare sia la conversione I/V che l'operazione di cascode necessaria per il fissaggio della tensione di bitline e il disaccoppiamento capacitivo.

RIVENDICAZIONI

1. Circuito di sensing (10, 100) per una cella di memoria (11) inserito tra un primo (Vdd) ed un secondo riferimento di tensione (GND) e collegato, in corrispondenza di un primo nodo circuitale interno (XBL),
5 a detta cella di memoria (11) del tipo comprendente:

- un primo generatore (12) di una corrente di polarizzazione (I_p) inserito tra detto primo riferimento di tensione (Vdd) e detto primo nodo circuitale interno (XBL);

- un comparatore (17) avente un primo terminale di ingresso (-) collegato ad un nodo circuitale di comparazione (X_{rif}), a sua volta collegato a detto primo riferimento di tensione (Vdd) tramite almeno un secondo generatore (15) di una corrente di riferimento (I_{ref}), nonché un secondo terminale di ingresso (+) collegato ad un nodo circuitale (X_{mat}) a sua volta collegato a detto primo nodo circuitale interno (XBL), un
10 terminale di uscita (OUT) di detto comparatore (17) corrispondendo ad un terminale di uscita di detto circuito di sensing (10);
15

caratterizzato dal fatto di comprendere inoltre:

- un circuito di polarizzazione (13) in configurazione cascode inserito tra detto nodo circuitale interno (XBL) e detto nodo circuitale di matching (X_{mat}) e collegato ad un terzo riferimento di tensione (V_{ref}); e
20

- uno stadio di conversione corrente/tensione (16) collegato a detto nodo circuitale di matching (X_{mat}) e a detto nodo circuitale di comparazione (X_{rif}), nonché a detto secondo riferimento di tensione (GND).

25 2. Circuito di sensing secondo la rivendicazione 1, caratterizzato dal fatto che detto circuito di polarizzazione (13) in configurazione cascode comprende un transistor (M1) inserito tra detto nodo circuitale interno (XBL) e detto nodo circuitale di matching (X_{mat}) nonché un amplificatore operazionale (14) avente un primo terminale di ingresso
30 connesso a detto terzo riferimento di tensione (V_{ref}) ed un secondo

terminale di ingresso connesso in retroazione a un terminale di uscita, a sua volta connesso ad un terminale di controllo di detto transistor (M1).

3. Circuito di sensing secondo la rivendicazione 2, caratterizzato dal fatto che detto transistor (M1) è di tipo MOS a canale P.

4. Circuito di sensing secondo la rivendicazione 1, caratterizzato dal fatto che detto stadio di conversione corrente/tensione (16) comprende un primo transistor (M2), configurato a diodo ed inserito tra detto nodo circuitale di matching (Xmat) e detto secondo riferimento di tensione (GND), nonché un secondo transistor (M3), inserito tra detto nodo circuitale di comparazione (Xrif) e detto secondo riferimento di tensione (GND) ed avente un terminale di controllo connesso ad un terminale di controllo di detto primo transistor (M2).

5. Circuito di sensing secondo la rivendicazione 4, caratterizzato dal fatto che detto primo transistor (M2) e detto secondo transistor (M3) sono di tipo MOS a canale N.

6. Circuito di sensing secondo la rivendicazione 1, caratterizzato dal fatto di comprendere una pluralità di rami comprendenti una pluralità di generatori di correnti di riferimento (Irif1, Irif2,..., Irifn) collegati ad una pluralità di ingressi (Xrif1, Xrif2,..., Xrifn) di detto comparatore avente una pluralità di terminali di uscita (Saout0, Saout1,..., Saoutn).

RIASSUNTO

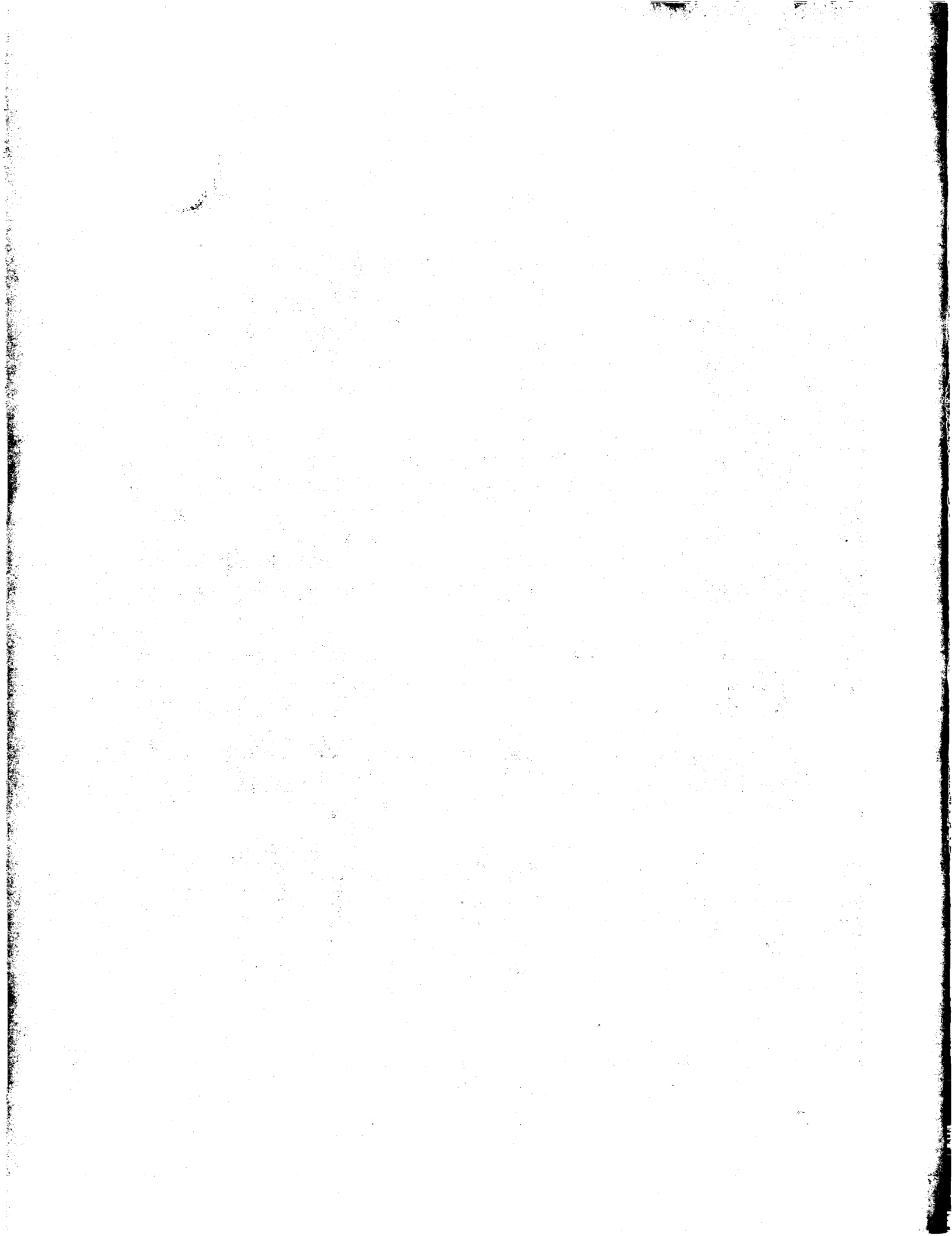
La presente invenzione si riferisce ad un circuito di sensing (10, 100) per una cella di memoria (11) inserito tra un primo (Vdd) ed un secondo riferimento di tensione (GND) e collegato, in corrispondenza di un primo
5 nodo circuitale interno (XBL), alla cella di memoria (11) del tipo comprendente:

- un primo generatore (12) di una corrente di polarizzazione (I_p) inserito tra il primo riferimento di tensione (Vdd) ed il primo nodo circuitale interno (XBL);
- 10 - un comparatore (17) avente un primo terminale di ingresso (-) collegato ad un nodo circuitale di comparazione (X_{rif}), a sua volta collegato al primo riferimento di tensione (Vdd) tramite almeno un secondo generatore (15) di una corrente di riferimento (I_{ref}), nonché un secondo terminale di ingresso (+) collegato ad un nodo circuitale (X_{mat})
15 a sua volta collegato al primo nodo circuitale interno (XBL), un terminale di uscita (OUT) del comparatore (17) corrispondendo ad un terminale di uscita del circuito di sensing (10).

Vantaggiosamente secondo l'invenzione, il circuito di sensing comprende inoltre:

- 20 - un circuito di polarizzazione (13) in configurazione cascode inserito tra il nodo circuitale interno (XBL) ed il nodo circuitale di matching (X_{mat}) e collegato ad un terzo riferimento di tensione (V_{ref}); e
- uno stadio di conversione corrente/tensione (16) collegato al nodo circuitale di matching (X_{mat}) ed al nodo circuitale di comparazione
25 (X_{rif}), nonché al secondo riferimento di tensione (GND).

(Fig. 2)



1/4

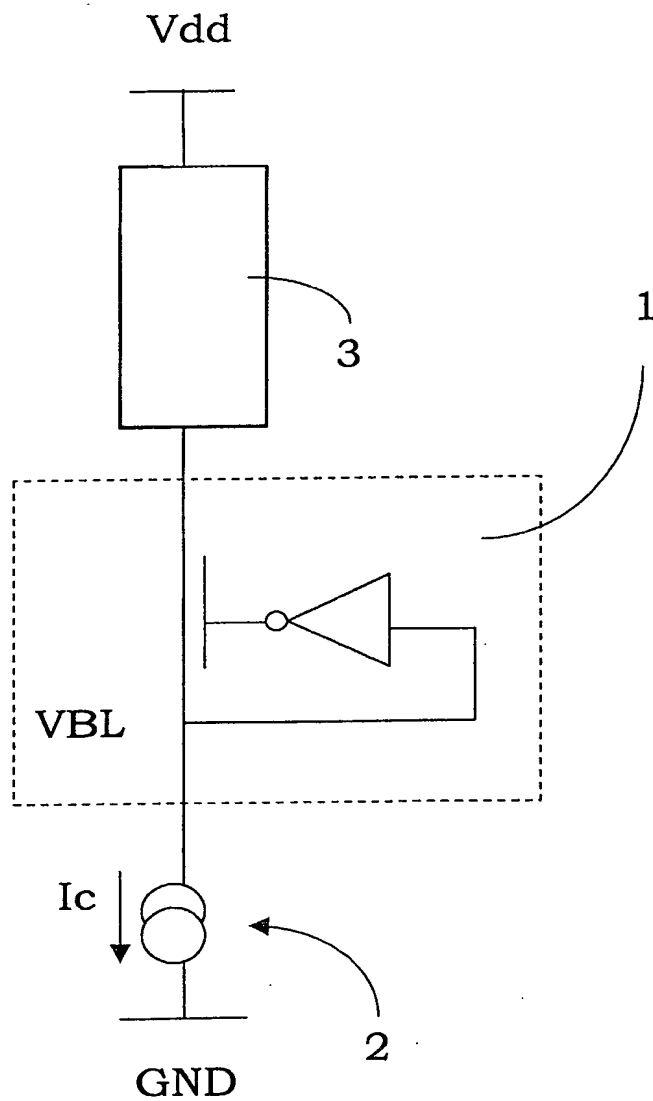


FIG. 1
PRIOR ART

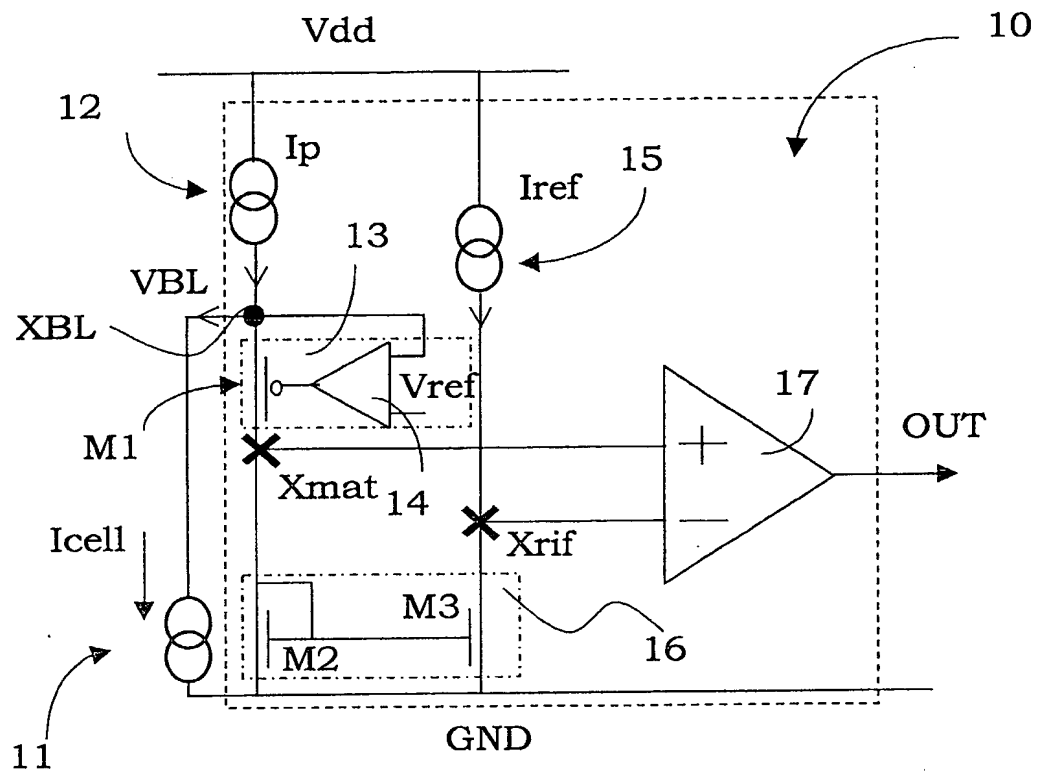


FIG. 2

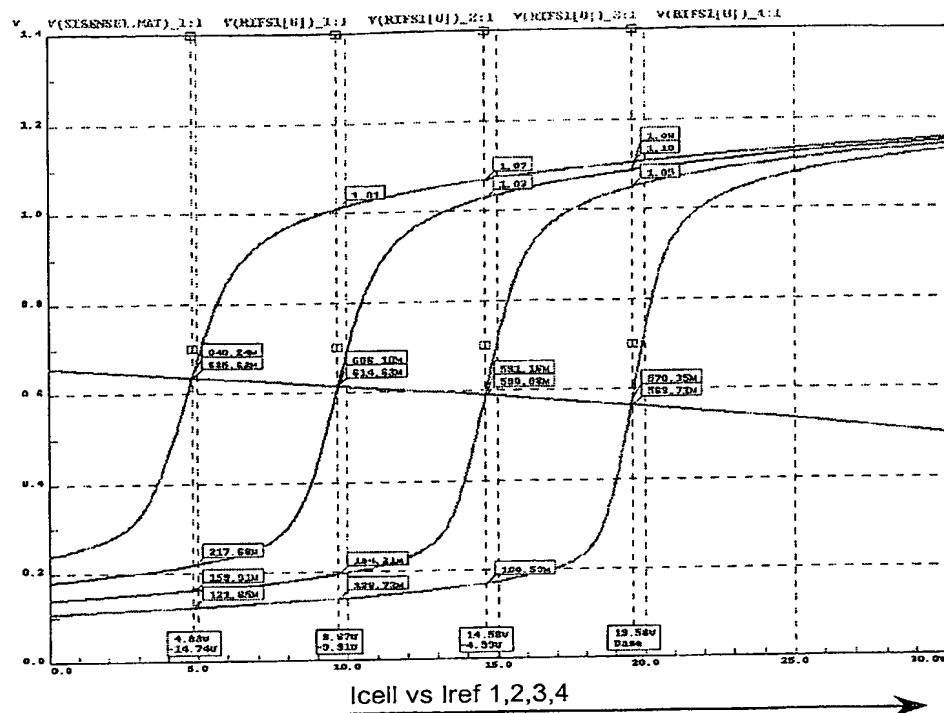


FIG. 3A

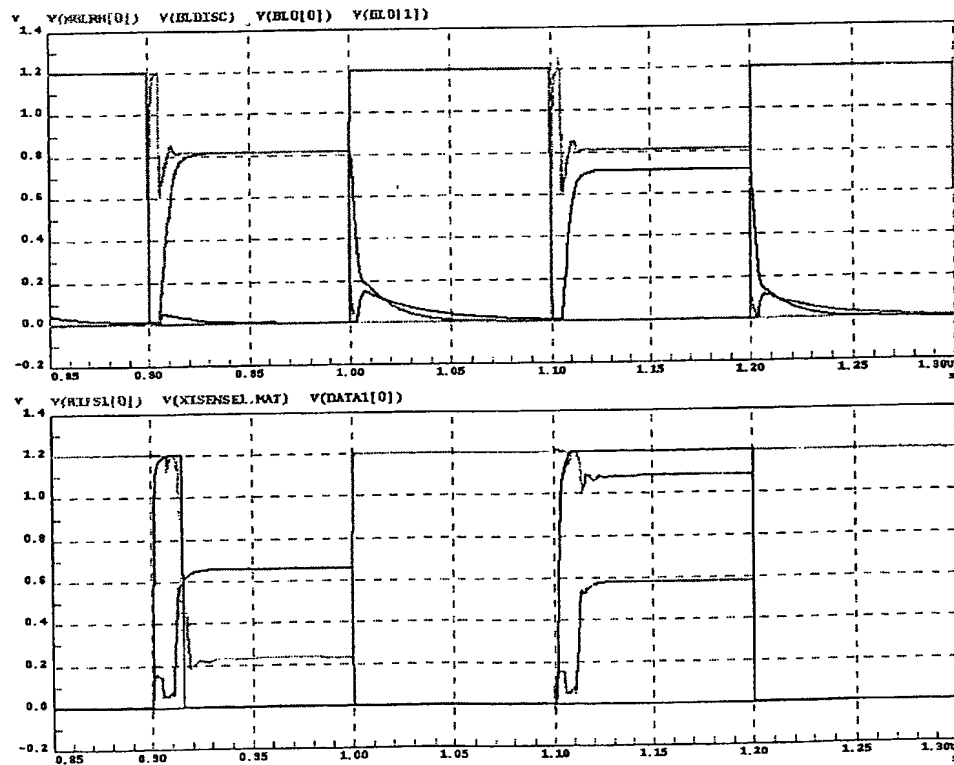


FIG. 3B

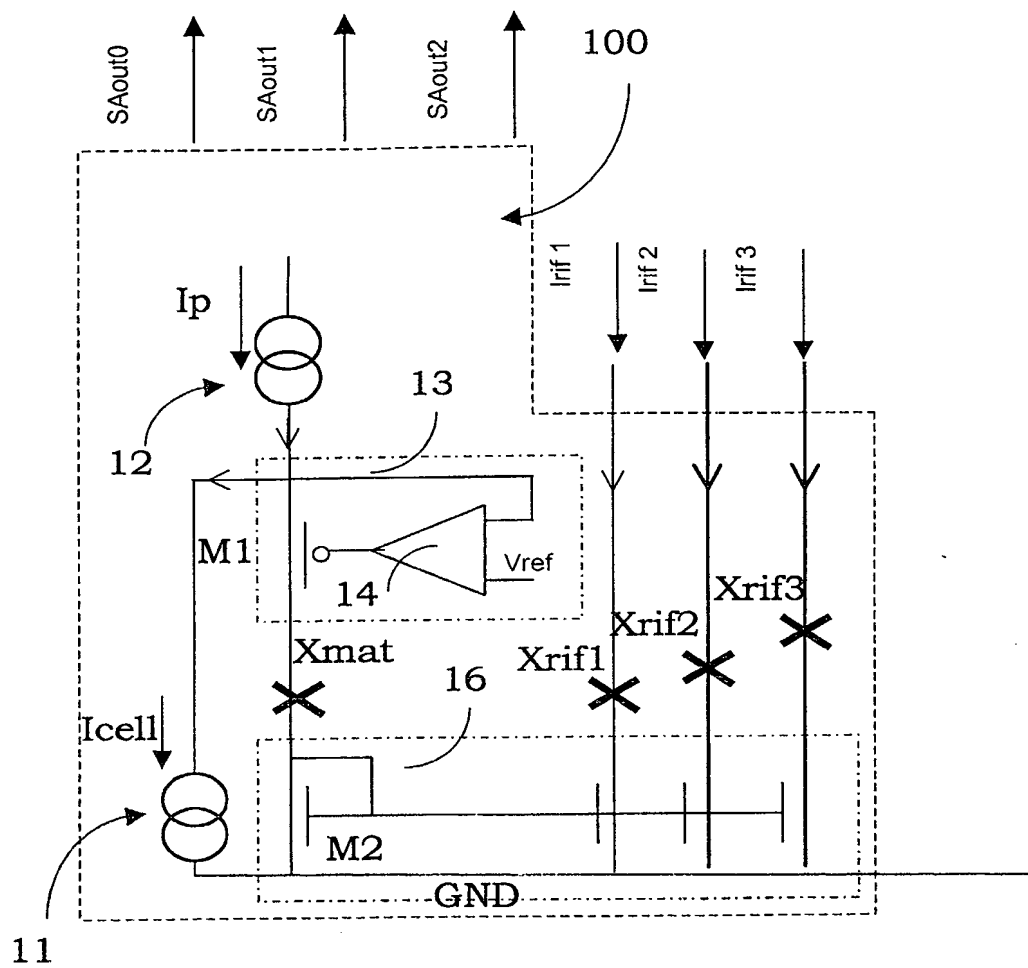


FIG. 4